

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274166
(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 21/322
C30B 29/06
H01L 21/208

(21)Application number : 2000-087667

(71)Applicant : WACKER NSCE CORP

(22)Date of filing : 27.03.2000

(72)Inventor : NAKAI KATSUHIKO
TACHIKAWA AKIYOSHI
IKARI ATSUSHI
DEAI HIROYUKI
OHASHI WATARU

(54) SINGLE-CRYSTAL SILICON SUBSTRATE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a single-crystal silicon substrate, which is obtained from a silicon single crystal grown by the Czochralski(CZ) method under a crystal-growing condition that does not cause practical difficulties nor impair productivity, can reduce the occurrence of crystal defects in a device manufacturing process, and has a proper breakdown voltage, an appropriate gettering characteristic after the process, and very few defects near its surface, and to provide a method of manufacturing the substrate.

SOLUTION: This single-crystal silicon substrate is obtained by cutting a silicon single crystal, manufactured by the CZ method. This substrate contains nitrogen and carbon at concentrations ranges of 1×10^{13} to 1×10^{16} atoms/cm³, and 5×10^{16} to 1×10^{18} atoms/cm³, respectively, and crystal defects having diameters of 0.1 μm or larger a defect rate of 10⁵ defects/cm³ or smaller over its whole thickness.

LEGAL STATUS

[Date of request for examination] 14.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274166

(P2001-274166A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.⁷

H 01 L 21/322
C 30 B 29/06

識別記号

5 0 2

H 01 L 21/208

F I

H 01 L 21/322
C 30 B 29/06

H 01 L 21/208

テ-マコ-ト(参考)

Y 4 G 0 7 7
C 5 F 0 5 3

5 0 2 H

P

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2000-87667(P2000-87667)

(22) 出願日 平成12年3月27日 (2000.3.27)

(71) 出願人 000111096

ワッカー・エヌエスシーイー株式会社
東京都中央区八丁堀三丁目11番12号

(72) 発明者 中居 克彦

千葉県富津市新富20-1 新日本製鐵株式
会社技術開発本部内

(72) 発明者 立川 昭義

千葉県富津市新富20-1 新日本製鐵株式
会社技術開発本部内

(74) 代理人 100072349

弁理士 八田 幹雄

最終頁に続く

(54) 【発明の名称】 シリコン単結晶基板及びその製造方法

(57) 【要約】

【課題】 本発明は、実用上困難を伴わぬ、生産性も損なわないような結晶育成条件にてCZ法により育成したシリコン単結晶から得たシリコン単結晶基板であって、デバイスプロセスで結晶欠陥を消滅させ、耐圧良好であるようなシリコン単結晶基板、更にデバイスプロセス後に適度なゲッタリング特性を有しあつ表面近傍の欠陥が少ないシリコン単結晶基板及びその製造方法を提供することを目的とする。

【解決手段】 チョクランスキー法により製造されたシリコン単結晶から切り出したシリコン単結晶基板であって、該基板中の窒素濃度が 1×10^{13} atoms/cm³以上 1×10^{16} atoms/cm³以下で、かつ、炭素濃度が 5×10^{16} atoms/cm³以上 1×10^{19} atoms/cm³以下であり、さらに、該基板の基板厚み全域にわたって、直径換算で0.1 μm以上の結晶欠陥が 10^5 個/cm²以下であることを特徴とするシリコン単結晶基板及びその製造方法である。

1

【特許請求の範囲】

【請求項1】 チョクラルスキー法により製造されたシリコン単結晶から切り出したシリコン単結晶基板であって、該基板中の窒素濃度が 1×10^{13} atoms/cm³以上 1×10^{16} atoms/cm³以下で、かつ、炭素濃度が 5×10^{16} atoms/cm³以上 1×10^{18} atoms/cm³以下であり、さらに、該基板の基板厚み全域にわたって、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥が 10^5 個/cm³以下であることを特徴とするシリコン単結晶基板。

【請求項2】 デバイス熱処理した前記シリコン単結晶基板であって、デバイス熱処理後の基板厚み中心部の欠陥密度が 10^9 個/cm³以上であり、かつ、基板表面から $5 \mu\text{m}$ より浅い領域での欠陥密度が 5×10^4 個/cm³以下である請求項1記載のシリコン単結晶基板。

【請求項3】 前記シリコン単結晶基板の基板厚み中心における酸素濃度が 1×10^{17} atoms/cm³以上 6×10^{17} atoms/cm³以下である請求項1又は2に記載のシリコン単結晶基板。

【請求項4】 窒素を 1×10^{16} atoms/cm³以上 1.5×10^{19} atoms/cm³以下、かつ炭素を 5×10^{17} atoms/cm³以上 1×10^{19} atoms/cm³以下含有するシリコン融液を用いて、チョクラルスキー法により育成されたシリコン単結晶インゴットを、スライス、研磨してシリコン単結晶基板とすることを特徴とするシリコン半導体基板の製造方法。

【請求項5】 前記シリコン単結晶インゴットの育成条件が、単結晶引上速度をV(mm/min)、融点~ 1300°C までの結晶成長軸方向の平均温度勾配をG(°C/mm)とした時、 $V/G(\text{mm}^2/\text{C} \cdot \text{min}) \geq 0.2$ を満足する条件である請求項4記載のシリコン半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリコン単結晶基板及びその製造方法に関し、特に、基板の結晶面欠陥が少なく、酸化膜耐圧特性に優れたシリコン単結晶基板及びその製造方法に関するものである。

【0002】

【従来の技術】 高集積MOSデバイスの基板として用いられるチョクラルスキー(CZ)法により製造されるシリコン単結晶基板には、酸化膜耐圧特性・pn接合リード特性・ゲッタリング特性などのデバイス特性に悪影響を与えないような高品質な結晶性が求められている。

【0003】 近年、結晶育成直後のシリコン単結晶中に、酸化膜耐圧特性のうちの初期絶縁破壊(TZDB)特性を劣化させる結晶欠陥が存在することが明らかとなってきた。それらの結晶欠陥は、選択エッチング法、アンモニア系の基板洗浄、あるいは赤外散乱・赤外干涉を用いた結晶欠陥評価法で検出されるものであり、総じて

2

grown-in欠陥と呼ばれる。これらの欠陥の実体は、いずれも八面体ボイド欠陥であり、特にアンモニア系のウエハ洗浄後に八面体ボイド欠陥が表面にエッチピットとして顕在化したものは、COP(Crystall Originated Particle)と呼ばれている(J. Ryuta, E. Morita, T. Tanaka and Y. Shimanuki, Jpn. J. Appl. Phys. 29, L1947 (1990))。これらは、固液界面から導入される原子空孔(vacancy)が凝集して出来た空洞(ボイド)であることが知られている。

【0004】 Voronkovモデルによると、 V/G がある値(γ_{crit})以上になると、固液界面から平衡濃度以上の原子空孔が導入されるため、それらが結晶育成中のある温度域で凝集してCOPになるとされている。

【0005】 これとは逆に、 V/G が γ_{crit} 以下になつた場合、固液界面から導入された格子間原子(Intersitial)が凝集して、 $50 \mu\text{m}$ 程度のサイズの格子間原子型転位ループが形成される。この転位ループは、酸化膜耐圧特性に悪影響は与えないものの、pn接合リード特性を劣化させることが知られている。

【0006】 以上述べてきたことから、高品質シリコン単結晶基板を製造するためには、デバイス特性に影響を与えるような基板表面近傍のCOPおよび転位ループをなるべく低減する必要がある。

【0007】 (A)の方法としては、例えば、特開平2-267195号公報が挙げられる。これは、 V/G を下げて γ_{crit} 以下にして、原子空孔の導入を抑制するものである。しかし、この方法では格子間原子が導入されるため、転位ループが発生してしまい、基板の品質の面で好ましくない。また、特開平7-257991号公報では、 V/G を γ_{crit} 付近に精密に調整して結晶育成することにより、COPも転位ループも発生しない方法が提案されている。しかし、実際の結晶製造への適応を考えると、この方法では、 V/G の微妙な変動によって、COPあるいは転位ループが発生してしまうため、制御が困難で実用性に乏しい。

【0008】 (B)の方法としては、窒素を欠陥制御用の不純物として用いた場合であり、例えば、特開平11-349393号公報がある。これは、窒素添加した結晶を急冷することで、COPサイズを 70 nm 以下にするという方法である。この方法は、6インチ(150mm)結晶の適応例のみ示されているが、今後の結晶の大口径化(8インチ(200mm)、12インチ(300mm)など)によって結晶が大きくなると、この方法で述べているような結晶の急冷は困難となるため、実用的

50

ではない。また、特開平11-349394号公報は、 V/G を下げて、格子間原子導入領域を使った場合、窒素添加した結晶では、格子間原子は凝集して、転位ループにならないため、COPも転位ループもない基板が製造可能であるとしている。しかし、条件によっては、窒素添加結晶の格子間原子が凝集して、転位ループになる場合もある。更に V/G を下げると言うことは、事実上結晶育成速度 V を下げるに他ならず、生産性の低下につながるため、実用的ではない。また、特開2000-7498号公報、特開2000-7486号公報には、窒素添加を行い、 V/G を γ_{crit} 付近に精密に調整して結晶育成することにより、COPも転位ループも発生しない方法が提案されている。しかし、実際の結晶製造への適応を考えると、この方法では、 V/G の微妙な変動によって、COPあるいは転位ループが発生してしまうため、制御が困難で実用性に乏しい。

【0009】(B) の方法で、炭素を欠陥制御用の不純物として用いた場合として、例えば、特開平11-302098号公報では、炭素を添加し、かつ引上速度を低くして、基板の一部もしくは全面を格子間原子領域にするという方法が提案されている。炭素添加された結晶では、格子間原子が凝集せず、転位ループを形成しないため、COPも転位ループも存在しないウエハが製造可能とされている。しかし、この方法では、結晶引上速度 V を小さくする必要があり、生産性の低下につながるため、実用的ではない。

【0010】一方、高集積MOSデバイスの基板として用いられるCZ法により製造されるシリコン単結晶基板には、結晶製造中に混入した酸素が過飽和に存在しており、それが後のデバイスプロセス中に析出して、基板内部に酸素析出物が形成される。この酸素析出物が、ウエハ内部に十分な量存在した場合、デバイスプロセス中に混入してくる重金属はウエハ内部に吸収され、デバイス活性層である基板内部は清浄に保たれる。このような技術をイントリンシックゲッタリングと呼び、重金属汚染によるデバイス特性劣化を防止する効果があるため、シリコン単結晶基板には、デバイスプロセス中に適度の酸素析出が起こることが求められている。

【0011】しかし、デバイスプロセス中の酸素析出が過度に多い場合、デバイスプロセスによっては、その一部がウエハ表面近傍にも形成されてしまうため、析出物起因の表面欠陥が、デバイス動作に直接悪影響を与えることが懸念される。特に、今後主流となる低温プロセスでは、酸素の外方拡散が起こりにくくなるため、表面近傍の酸素析出起因欠陥の問題は顕著になると考えられる。

【0012】以上述べてきたことから、特に今後主流となる低温プロセスに対応した高品質シリコン単結晶基板を製造するためには、内部に一定密度以上の酸素析出物を確保し、かつ表面近傍の結晶欠陥を少なくする必要が

ある。

【0013】従来提案されているゲッタリング能力を強化する方法としては、例えば、特開昭58-197716号公報では、炭素を $1 \sim 5 \times 10^{16} \text{ atoms/cm}^3$ 以上添加することで、酸素析出を促進させる方法が提案されている。しかし、この方法では、基板の酸素析出物密度は確保でき、ゲッタリング特性は良好であるものの、酸素析出物が基板表面近傍に発生する恐れがあり、高集積MOSデバイスの基板として使えない懸念がある。

【0014】

【発明が解決しようとする課題】本発明は、実用上困難を伴わぬ、生産性も損なわないような結晶育成条件にてCZ法により育成したシリコン単結晶から得たシリコン単結晶基板であって、デバイスプロセスで結晶欠陥を消滅させ、耐圧良好であるようなシリコン単結晶基板、更にデバイスプロセス後に適度なゲッタリング特性を有しかつ表面近傍の欠陥が少ないシリコン単結晶基板及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】我々は、結晶育成条件に制約をなるべく与えずに結晶欠陥を制御するという観点から、不純物添加による結晶欠陥低減の方向を探索した。その際、窒素添加のみで目標とする品質を達成するのは困難であると考え、窒素と同様にCOPを減らす効果のある元素を探査した結果、炭素がそれに相当することを見出した。更に両者を同時に添加することで、ボイド領域を効果的に消滅させ、更に結晶製造歩留も向上できることを見出し、本発明を完成した。

【0016】すなわち、本発明は、(1) チョクランスキーカ法により製造されたシリコン単結晶から切り出したシリコン単結晶基板であって、該基板中の窒素濃度が $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下で、かつ、炭素濃度が $5 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であり、さらに、該基板の基板厚み全域にわたって、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥が $10^3 \text{ 個}/\text{cm}^3$ 以下であることを特徴とするシリコン単結晶基板、(2) デバイス熱処理した前記シリコン単結晶基板であって、デバイス熱処理後の基板厚み中心部の欠陥密度が $10^3 \text{ 個}/\text{cm}^3$ 以上であり、かつ、基板表面から $5 \mu\text{m}$ より浅い領域での欠陥密度が $5 \times 10^1 \text{ 個}/\text{cm}^3$ 以下である(1)記載のシリコン単結晶基板、(3) 前記シリコン単結晶基板の基板厚み中心における酸素濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $6 \times 10^{17} \text{ atoms/cm}^3$ 以下である(1)又は(2)に記載のシリコン単結晶基板、(4) 窒素を $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以下、かつ炭素を $5 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下含有するシリコン融液を用いて、チョ

クラルスキー法により育成されたシリコン単結晶インゴットを、スライス、研磨してシリコン単結晶基板とすることを特徴とするシリコン半導体基板の製造方法、

(5) 前記シリコン単結晶インゴットの育成条件が、単結晶引上速度をV(mm/min)、融点～1300°Cまでの結晶成長軸方向の平均温度勾配をG($^{\circ}\text{C}/\text{mm}$)とした時、 $V/G(\text{mm}^2/\text{°C} \cdot \text{min}) \geq 0.2$ を満足する条件である (4) 記載のシリコン半導体基板の製造方法である。

【0017】

【発明の実施の形態】COPが基板表面に露出していた場合、その上に形成されたデバイスは動作不良を起こす。例えば、酸化膜耐圧特性を考えた場合、酸化膜成長過程とCOPサイズを考慮した結果、表面より深さ1μmより浅い領域に存在するCOPがデバイス特性に影響を与えることが予想される。一般に用いられる電極面積 20 mm^2 のデバイスにおいて、表面より深さ1μmより浅い領域に存在するCOPがデバイス動作不良を引き起こす確率を計算すると、基板の深さ全域にわたってCOP密度が 10^5 個/ cm^3 を超過する場合に、不良率が10%を越える。一般的な基板の受け入れ基準である不良率は10%程度があるので、この基準を満たすためには、基板の深さ全域にわたってCOP密度を 10^5 個/ cm^3 以下にする必要がある。なお、直径換算で0.1μm未満のCOPは酸化膜耐圧特性に影響を与えないことがわかっているため、COP密度として0.1μm以上のものを評価することで、その基板の酸化膜耐圧特性を評価できることになる。

【0018】原子空孔が導入される育成条件(すなわち $V/G(\text{mm}^2/\text{°C} \cdot \text{min}) \geq 0.2$)で、窒素を添加すると、原子空孔の凝集挙動が変化し、原子空孔が凝集にくくなる。これは、結晶内に存在する窒素がCOP界面エネルギーを変化させるため、COPに原子空孔がとりつくのを阻害するためと考えられる。その結果、COPがまわりの原子空孔を取り込んで成長する反応速度が遅くなり、結果的にCOP個数は少なくなり、かつ個々のサイズも小さくなると考えられる。窒素濃度を高くするほどCOP密度は低下するが、一方で、窒素濃度を増やしすぎて、窒素の固溶限に近くなると、シリコン融液中で窒素の一部が融液と凝集し、微小パーティクルとなる。これらのパーティクルが、融液中を漂って、シリコン単結晶と融液の固液界面にとりつくと、そこから多結晶化が起り、単結晶育成は不可能となる。そのため、添加量はなるべく抑える方が望ましい。

【0019】また、窒素とは別に、炭素のみを添加することでもCOP密度とサイズを低下させることは可能である。炭素も窒素と同様の効果があると考えられる。しかし、炭素も固溶限に近くなると、窒素と同様に多結晶化が起りやすくなる。

【0020】以上のことから、元素の添加量をなるべく

少なくし、なおかつCOP密度を 10^5 個/ cm^3 以下にすることが、実用上望ましい。このことを考慮して、COPを低減する方法を探査した結果、窒素と炭素を同時に添加することが有効であることを見出した。窒素単独添加に比べると、同じ窒素濃度でも炭素を同時に添加した方がCOP密度が低下している。同様に、窒素と炭素を同時に添加した結晶は、同じ濃度の炭素を単独に添加した結晶よりCOP密度が低下している。このことから、窒素と炭素を同時に添加した場合、COP密度を少なくするために要する窒素・炭素の添加量は、それぞれを単独で添加する場合よりも少なくすることが可能であることがわかった。すなわち、それぞれの元素の添加量を固溶限に比べて少なくすることが可能であるため、多結晶化の確率を少なくし、生産性を向上させることができある。以上のことから、窒素と炭素を同時添加することは、単なるCOP減少効果の重ね合わせのみでなく、結晶歩留まりを上げる面でも有効な方法である。

【0021】COP密度を 10^5 個/ cm^3 以下にするためには、窒素を 1×10^{13} atoms/ cm^3 以上、より好ましくは 5×10^{13} atoms/ cm^3 以上添加し、かつ炭素を 5×10^{16} atoms/ cm^3 以上、より好ましくは 7×10^{16} atoms/ cm^3 以上添加することが必要である。窒素が 1×10^{13} atoms/ cm^3 未満の場合は、COP密度を 10^5 個/ cm^3 以下にするために、炭素を 1×10^{16} atoms/ cm^3 を超過して添加する必要があるが、固溶限に近くなるため多結晶化が起り、歩留まりが著しく低下する。また、炭素濃度が 5×10^{16} atoms/ cm^3 未満の場合は、COP密度を 10^5 個/ cm^3 以下にするために、窒素を 1×10^{16} atoms/ cm^3 を超過して添加する必要があるが、固溶限に近くなるため多結晶化が起り、歩留まりが著しく低下する。

【0022】なお、窒素をある濃度以上添加すると、as grownの酸素析出物が発生することが既に知られているが、窒素に炭素を添加した結晶においてはas

grown酸素析出物の発生が見られなかった。原因是定かではないが、窒素単独添加の場合に比べて窒素と炭素を同時添加した場合は、as grown析出核サイトの数が増大するため、個々のas grown析出物のサイズが非常に小さくなつたためと考えられる。

【0023】このようなシリコン単結晶基板にデバイスプロセス熱処理を施した場合、内部の析出物密度は、窒素及び炭素添加を行わない結晶に比べて多い。これは、窒素あるいは炭素が酸素析出物の発生核になっているためと考えられる。一般に、酸素析出物密度が 10^9 個/ cm^3 以上あると、鉄・ニッケル等の不純物金属を十分

ゲッタリングできることが経験的に知られている。窒素と炭素を同時添加した場合、窒素が 1×10^{13} atoms/cm³以上、かつ炭素が 5×10^{16} atoms/cm³以上の場合は、デバイスプロセス後の酸素析出物密度が 10^9 個/cm³以上になるため、十分なゲッタリング特性を得ることができる。

【0024】一方、デバイスプロセス熱処理条件によっては、上記のような析出が促進される作用が逆効果となり、基板表面近傍に酸素析出物を発生させる場合がある。これまでの64MB DRAMまでのデバイスプロセスでは、プロセス中に1100°C以上の高温熱処理が含まれていたため、基板表面付近の酸素が外方拡散し、表面近傍の酸素析出物は、プロセス中に消滅しやすくなっていた。しかし、128MB以降のDRAMプロセスにおいては、デバイスプロセスの熱処理温度が全体的に低温化（最高温度でも1100°C以下）する方向になると言われている。つまり、酸素の外方拡散が十分に起こらなくなるため、表面付近に酸素が残留し、その結果、表面近傍に酸素析出物が出来やすくなる。低温プロセスによる酸素の外方拡散プロファイルを見ると、例えば、最高温度が1000°Cで40分間熱処理を受けた場合、基板表面から2μmまでの浅い領域では、基板厚み中心の酸素濃度の半分以下になっていた。よって、この領域では酸素析出はほとんど起きない。それに対して、2～5μmまでは、基板厚み中心の酸素濃度の半分以上になっており、酸素析出物が成長し得る領域である。例えば、pn接合リーケ特성을考慮した場合、pn接合の広がりは、深さ方向に約5μm程度とされているので、表面から5μmまでの深さに存在する酸素析出物は、pn接合リーケ特性に悪影響を与えることが予想される。一般的な電極面積である20mm²を想定して、pn接合リーケ特性不良率が10%になるような欠陥密度を算出すると、表面から5μmまでの深さにおいて、 5×10^9 個/cm³になる。よって、ウエハ表面から5μmより浅い領域の欠陥密度を 5×10^9 個/cm³以下にすることが望ましい。

【0025】以上のことから、デバイスプロセス後においてウエハ表面から5μmより浅い領域の欠陥密度を 5×10^9 個/cm³以下にして、厚み中心の欠陥密度を 10^9 個/cm³以上にすることにより、低温プロセス後でもpn接合リーケ特性が良好であり、かつゲッタリング特性が良好であるような、更に品質の優れたシリコン単結晶基板ができる。特に、これからデバイスで適用される可能性のある低温デバイスプロセスで使用するシリコン単結晶基板は、COP密度低減に加えて、このような品質の付加が有効であると考える。

【0026】COPが 10^9 個/cm³以下になるような窒素と炭素を同時添加したシリコン単結晶から得られる基板を実現するためには、デバイスプロセス条件にもよるが、基板中の酸素濃度を 6×10^{17} atoms/cm³

以下、より好ましくは 4×10^{17} atoms/cm³以下にすることが望ましい。この濃度の範囲において、例えば1000°C、40分のプロセス熱処理を行った場合、表面5μmの深さで、酸素濃度が 4×10^{17} atoms/cm³以下で、かつ窒素濃度が基板厚み中心部の半分以下になる。このような領域では、酸素析出が起こらなくなることが、実験的に既に確認されている。窒素や炭素を添加しない結晶の場合、酸素濃度を下げるに酸素析出密度は低下する。これに対して、窒素と炭素を同時に添加した結晶では、酸素濃度は窒素濃度と炭素濃度でほぼ一義的に決まるため、酸素濃度を下げても基板厚み中心の析出物密度は変化しない。ただし、酸素濃度が 1×10^{17} atoms/cm³以上ないと酸素析出自体が起こらなくなるため、最低限この濃度以上は必要である。

【0027】次に、上述してきたシリコン単結晶基板の製造方法について、以下に説明する。

【0028】窒素を 1×10^{13} atoms/cm³～ 1×10^{16} atoms/cm³含むシリコン単結晶を育成するためには、偏析の関係から、シリコン融液中に 1×10^{16} atoms/cm³～ 1.5×10^{19} atoms/cm³の窒素を添加する必要がある。この場合、 1.5×10^{19} atoms/cm³を超過して添加された場合、固溶限に近くなるため、多結晶化が起こりやすくなり、実用には不適当である。

【0029】炭素を 5×10^{16} atoms/cm³～ 1×10^{18} atoms/cm³含むシリコン単結晶を育成するためには、偏析の関係から、シリコン融液中に 5×10^{17} atoms/cm³以上の炭素を添加する必要がある。一方、シリコン融液中に炭素が 1×10^{19} atoms/cm³を超過して添加された場合、固溶限に近くなるため、多結晶化が起こりやすくなり、実用には不適当である。

【0030】窒素と炭素を同時添加したシリコン単結晶の育成条件については、 V/G (mm²/°C·min)が0.2以上であればよい。窒素や炭素を添加しない結晶の場合、 V/G (mm²/°C·min)が0.2以上の条件では、過剰な原子空孔が固液界面から導入され、ボイド欠陥、即ちCOPが形成される。しかし、窒素と炭素を同時に添加した場合は、過剰な原子空孔が固液界面から導入されるものの、それらは凝集を起さないため、酸化膜耐圧特性に悪影響を与えるようなCOPにはならない。 V/G は大きくなれば、それだけVが大きくなるので生産性が向上する。 V/G の上限については特に規定しないが、現在の炉構造からは、0.35が事実上の上限になる。 V/G が0.2未満の場合、固液界面から過剰な格子間原子が導入されるため、それらが凝集して格子間原子型転位ループを形成する。この転位ループはpn接合リーケ特性を劣化させるため、基板としては不適当である。窒素及び炭素を添加した場合、転位ル

ープは添加なしの結晶に比べて少なくなることが判っているが、多少残留する可能性がある。また、引上速度Vが低くなるため生産性が低下し、実用上好ましくない。

【0031】以下に本発明の実施例を挙げて説明するが、本発明はこれらの実施例の記載によって制限されるものではない。

【0032】

【実施例】(実施例1) 本実施例に用いられるシリコン単結晶製造装置は、通常のCZ法によるシリコン単結晶製造に用いられるものであれば、特に制限されるものではない。この装置を利用して育成されたシリコン単結晶は、伝導型:p型(ボロン添加)、結晶径:8インチ(200mm)、抵抗率:8.5~10.5Ωcmである。窒素添加は、シリコン融液中に窒化膜付きシリコンウエハを投入することによって行った。シリコン融液中の窒素濃度は、投入した窒化膜付きシリコンウエハの窒素総量とシリコン融液の量から算出した。炭素添加は、シリコン融液中に炭素粉を投入することで行った。融液中の炭素濃度は、投入した炭素の総量とシリコン融液の量から算出した。引上速度V(mm/min)、融点~1300°Cまでの結晶成長軸方向の平均温度勾配G(°C/mm)としたときのV/Gを変化させるため、結晶成長速度あるいはシリコン単結晶製造装置の内部構造を変えた複数の結晶育成条件にて、シリコン単結晶を育成した。酸素濃度は、るつぼ回転数、その他のパラメーターを制御することで調整した。

【0033】この結晶からシリコン単結晶基板を切り出して、以下の評価を行った。窒素濃度は、このシリコン単結晶基板からサンプルを採取し、二次イオン質量分析装置(SIMS)を用いて測定した。酸素濃度、炭素濃度は、赤外吸収を用いて測定した。換算係数として、日本電子工業振興協会による酸素濃度換算係数を用いた。

欠陥密度を測定するため、H₂O、H₂O₂、NH₄OHを組成とするSC-1洗浄液で洗浄し、直径換算で0.1μm以上のCOPを表面異物計で測定した。COPの体積密度は、SC-1の繰り返し洗浄を行った時のCOP増加数と一回のSC-1洗浄でのシリコン単結晶基板のエッチング量から求めた。なお、このようにして求めた欠陥密度は、基板表面のものであるが、as grown基板の場合は、深さ方向に均一に欠陥が分布しているため、上記方法で求めた欠陥密度は、基板厚み全域にわたっての代表値に相当すると考えられる。

【0034】酸化膜耐圧特性を評価するために、100°C、乾燥酸素中で基板上に25nmのゲート酸化膜を積み、その上に厚み500nm、面積20mm²のポロンドープシリコン電極を積んだMOSキャバシターを作成した。上記MOSキャバシターに電界を印加し、判定電流が0.1A/cm²の時のゲート酸化膜にかかる平均電界が11MV/cm以上を示すMOSキャバシターの個数の割合を合格率とした。

【0035】また、pn接合リーキ特性を評価するために、下記の条件でpn接合ダイオードを作成した。まず、シリコン単結晶基板を1000°C、乾燥酸素雰囲気中で保護酸化を行い、リンを5×10¹³/cm²イオン注入した後に、1000°C、30分の窒素雰囲気でドライブアニールを行った。素子分離として、素子を囲む形で、ガードリング電極を配置して、pn接合ダイオードを作成した。素子面積は20mm²で、8インチ(200mm)基板の面内に547点素子を作成した。評価条件として、室温にて、逆バイアス電圧を30V印加し、その時に流れる電流が1pA以下であった素子の比率を合格率とした。評価結果を比較例も含めて表1に示す。

【0036】

【表1】

	シリコン融液中		シリコンウエハ中		酸素濃度 [atoms/cm ³]	as grownウエハ		
	炭素濃度 [atoms/cm ³]	V/G [mm ² /°C min]	窒素濃度 [atoms/cm ³]	炭素濃度 [atoms/cm ³]		欠陥密度 [個/cm ³]	酸化膜耐圧 [V]	p-n接合リード [合格率%]
実施例	5.00E+17	0.1	1.00E+13	5.00E+16	8.00E+17	<1e4	98	90
実施例	7.00E+17	0.1	5.00E+13	7.00E+16	8.00E+17	<1e4	96	90
比較例	0	0.2	0	0	8.00E+17	7.40E+06	20	100
比較例	7.00E+17	0.2	0	7.00E+16	8.00E+17	2.80E+05	62	100
比較例	0	0.2	5.00E+13	0	8.00E+17	1.30E+05	55	100
比較例	1.00E+17	0.2	1.00E+12	1.00E+16	8.00E+17	4.10E+05	42	100
比較例	5.00E+17	0.2	1.00E+12	5.00E+16	8.00E+17	4.20E+05	35	100
比較例	7.00E+17	0.2	1.00E+12	7.00E+16	8.00E+17	2.30E+05	74	100
比較例	1.00E+17	0.2	1.00E+13	1.00E+16	4.00E+17	6.50E+05	67	100
実施例	5.00E+17	0.2	1.00E+13	5.00E+16	4.00E+17	3.50E+04	96	100
実施例	7.00E+17	0.2	1.00E+13	7.00E+16	4.00E+17	<1e4	99	100
比較例	1.00E+17	0.2	1.00E+13	1.00E+16	8.00E+17	2.30E+05	75	100
実施例	5.00E+17	0.2	1.00E+13	5.00E+16	8.00E+17	4.80E+04	93	100
実施例	7.00E+17	0.2	1.00E+13	7.00E+16	8.00E+17	<1e4	100	100
比較例	1.00E+17	0.2	5.00E+13	1.00E+16	8.00E+17	8.40E+05	82	100
実施例	5.00E+17	0.2	5.00E+13	5.00E+16	8.00E+17	<1e4	94	100
実施例	7.00E+17	0.2	5.00E+13	7.00E+16	8.00E+17	<1e4	98	100
実施例	5.00E+17	0.3	1.00E+13	5.00E+16	8.00E+17	1.30E+04	95	100
実施例	7.00E+17	0.3	5.00E+13	7.00E+16	8.00E+17	<1e4	100	100

【0037】ここで「1e4」とは、「1E+04」のことである。

【0038】窒素濃度が 1×10^{13} atoms/cm³以上、かつ炭素濃度が 5×10^{16} atoms/cm³以上のものは、欠陥密度が 10^5 個/cm³以下となり、酸化膜耐圧の合格率が90%以上と良好であった。特に、窒素濃度が 1×10^{13} atoms/cm³以上かつ炭素濃度が 5×10^{16} atoms/cm³以上、さらに窒素濃度が 5×10^{13} atoms/cm³以上あるいは炭素濃度が 7×10^{16} atoms/cm³以上であるものは、欠陥密度が測定下限値である 10^4 個/cm³以下であり、品質が非常に良好であった。窒素濃度が 1×10^{13} atoms/cm³未満、あるいは炭素濃度が 5×10^{16} atoms/cm³未満のものは、欠陥密度が 10^5 個/cm³超となり、酸化膜耐圧の合格率も90%未満

となり、実施例に比べて劣った。なお、酸素濃度の違いによる欠陥密度の差、酸化膜耐圧特性の差は見られなかった。V/G (mm²/°C · min) が0.1のものは、欠陥個数が 10^5 個/cm³以下であり、酸化膜耐圧合格率も90%以上で、p-n接合リードの合格率も90%であった。p-n接合リードがV/G ≥ 0.2のものに比べて多少劣ったのは、転位ループが残留していたためと思われる。

【0039】(実施例2)シリコン単結晶の引き上げ及び窒素・炭素の添加法は実施例1と同様である。

【0040】この結晶から切り出して作成したシリコン単結晶基板に、表2に示すような低温デバイスプロセスと同等の熱処理を施した。

【0041】

【表2】

1段目.850°C × 40min(wetO₂)

	挿入	昇温	保持	降温	引出
温度(°C)	700	700→850	850	850→700	700
レート(°C/分)	****	8	****	2.5	****
時間	****	0:18	0:40	1:00	****
雰囲気	N ₂ +3%O ₂	N ₂ +3% O ₂	wet O ₂	N ₂	N ₂

2段目.750°C × 180min(N₂)

	挿入	昇温	保持	降温	引出
温度(°C)	700	700→750	750	750→700	700
レート(°C/分)	****	8	****	2.5	****
時間	****	0:06	3:00	0:20	****
雰囲気	N ₂				

3段目.1000°C × 40min(dryO₂)

	挿入	昇温	保持	降温	引出
温度(°C)	700	700→1000	1000	1000→700	700
レート(°C/分)	****	8	****	2.5	****
時間	****	0:37	0:40	2:00	****
雰囲気	N ₂	N ₂	O ₂	N ₂	N ₂

4段目.550°C × 6hr(N₂)

	挿入	昇温	保持	降温	引出
温度(°C)	400	400→550	550	550→400	400
レート(°C/分)	****	8	****	1	****
時間	****	0:18	6:00	2:30	****
雰囲気	N ₂				

5段目.800°C × 120min(N₂)

	挿入	昇温	保持	降温	引出
温度(°C)	700	700→800	800	800→700	700
レート(°C/分)	****	8	****	2.5	****
時間	****	0:12	2:00	0:40	****
雰囲気	N ₂				

【0042】次に三井金属製LSTDスキャナ(MO-6)を用いて、表面欠陥を測定した。感度としては、50 nm以上の欠陥を検出できるように条件設定した。欠陥検出用レーザーの波長は、約700 nmのものを用い、表面から深さ5 μmまでの結晶欠陥を測定できるようにした。また、基板厚み中心の酸素析出物は、バイオラッド社のOPP(Optical Precipitate Profiler)を用いた。測定条件は、レーザーの二光束の焦点を基板のミラー面側表面から基板内部に375 μm入った位置に設定し、ミラー面に対し平行に基板を走査した。その時に、二光束の位相差を電気的に信号処理して得られる信号強度が2.0 V以上となる欠陥をカウントした。得られたサイズ分布から、ゴーストシグナルを除去した後に、欠陥密度を算出し

た。

【0043】低温デバイスプロセス熱処理後のpn接合リード測定は実施例1と同様である。

【0044】また、低温デバイスプロセス熱処理後のゲッタリング挙動を評価するため、スピンドル法にてNiをウエハ表面に10¹⁴ atoms/cm²塗布し、MOSダイオードを実装した。ゲート酸化の条件は、1000°C、30分、dry O₂で、酸化膜厚は300 nmとした。その後、MOS-C-t法による発生ライフタイム測定を行った。評価結果を比較例も含めて表3に示す。

【0045】

【表3】

	炭素濃度 [atoms/cm ³]	V/G [mm ² /C min]	シリコンウエハ中			as grownウエハ 欠陥密度 [個/cm ³]	デバイスプロセス後ウエハ 表面欠陥 [個/cm ³] 内部欠陥 [個/cm ³] pn接合リーク [A/cm ²] ライフタイム [msec]		
			窒素濃度 [atoms/cm ³]	炭素濃度 [atoms/cm ³]	酸素濃度 [atoms/cm ³]		[個/cm ³]	[個/cm ³]	[合格率%]
比較例	0	0.2	0	0	6.00E+17	5.90E+06	7.60E+06	1.30E+06	53
比較例	5.00E+17	0.2	0	5.00E+16	6.00E+17	4.50E+05	3.60E+05	2.30E+09	35
比較例	0	0.2	1.00E+13	0	6.00E+17	8.70E+05	5.40E+05	5.40E+09	46
実施例	5.00E+17	0.2	1.00E+13	5.00E+16	1.00E+18	2.40E+04	8.90E+04	7.49E+09	74
実施例	5.00E+17	0.2	1.00E+13	5.00E+16	8.00E+17	3.60E+04	6.80E+04	8.60E+09	82
実施例	5.00E+17	0.2	1.00E+13	5.00E+16	6.00E+17	2.70E+04	2.50E+04	4.80E+09	94
実施例	5.00E+17	0.2	1.00E+13	5.00E+16	4.00E+17	<1e4	9.40E+09	98	30

【0046】窒素濃度が 1×10^{13} atoms/cm³未満、あるいは炭素濃度が 5×10^{16} atoms/cm³未満のものは、as grownで見られた欠陥が熱処理後もそのまま残留し、pn接合リーク特性を劣化させるため、合格率が90%以下であった。窒素濃度が 1×10^{13} atoms/cm³以上かつ炭素濃度が 5×10^{16} atoms/cm³以上の場合は、as grown状態では欠陥は 4×10^4 個/cm³以下であったが、熱処理後は、酸素濃度 6×10^{17} atoms/cm³を超過するもので表面欠陥が 5×10^4 個/cm³超となり、pn接合リーク特性が酸素濃度 6×10^{17} atoms/cm³以下のものに比べて若干劣った。酸素濃度が 4×10^{17} atoms/cm³のものは、熱処理後の表面欠陥が測定下限値である 10^4 個/cm³以下であり、pn*

*接合リーク特性が非常に良好であった。なお、実施例はいずれも、熱処理後の析出物密度が 10^9 個/cm³以上でライフタイムが20 msec以上とゲッタリング特性に優れていた。

【0047】

【発明の効果】本発明のシリコン単結晶基板は、酸化膜耐圧特性などのデバイス特性に優れており、またデバイスプロセス後の表面欠陥が少なく、かつ基板内部の酸素析出が十分起こり重金属のゲッタリング能力に優れている。以上のことから、高集積度の高い信頼性を要求されるMOSデバイス用ウエハを製造するのに最適なシリコン単結晶基板である。また、本発明のシリコン単結晶基板の製造方法は、結晶歩留が改善されると共に、生産性に優れるため、低コスト化が可能である。

フロントページの続き

(72)発明者 碇 敦

千葉県富津市新富20-1 新日本製鐵株式会社技術開発本部内

(72)発明者 出合 博之

千葉県富津市新富20-1 新日本製鐵株式会社技術開発本部内

(72)発明者 大橋 渡

千葉県富津市新富20-1 新日本製鐵株式会社技術開発本部内

F ターム(参考) 4G077 AA02 BA04 CF10 EB01 EH09

HA06

5F053 AA12 DD01 FF04 GG01 JJ01

KK03 PP08 RR03 RR05